

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 1月 5日
Date of Application:

出願番号 特願2004-000655
Application Number:
[ST. 10/C]: [JP2004-000655]

出願人 株式会社東芝
Applicant(s):

2004年 3月23日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3023713



【書類名】 特許願
【整理番号】 DTK03-023
【提出日】 平成16年 1月 5日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/02
H01L 21/70

【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
所内
【氏名】 桜井 宏紀

【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
所内
【氏名】 富田 寛

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社東芝

【代理人】
【識別番号】 100077849
【弁理士】
【氏名又は名称】 須山 佐一

【手数料の表示】
【予納台帳番号】 014395
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板に穴を形成する工程と、
前記形成された穴の内面に誘電体膜を成膜する工程と、
前記成膜された誘電体膜を熱処理する工程と、
前記誘電体膜上にシリコン膜を成膜する工程と、
前記誘電体膜と前記シリコン膜とが成膜された前記穴内面の上部を除いた前記穴内にレジスト膜を埋め込み形成する工程と、
前記埋め込み形成されたレジスト膜をマスクに前記熱処理された誘電体膜上の前記シリコン膜をエッチングする工程と、
前記レジスト膜を除去する工程と、
前記エッチングのあと残存のシリコン膜をマスクに前記熱処理された誘電体膜をエッチング除去する工程と、
前記エッチング除去のあと残存の誘電体膜を有する前記穴内に電極材を埋め込み形成する工程と
具備することを特徴とする集積キャパシタの製造方法。

【請求項 2】

半導体基板に穴を形成する工程と、
前記形成された穴の内面に誘電体膜を成膜する工程と、
前記成膜された誘電体膜上にシリコン膜を成膜する工程と、
前記誘電体膜と前記シリコン膜とが成膜された前記穴内面の上部を除いた前記穴内にレジスト膜を埋め込み形成する工程と、
前記埋め込み形成されたレジスト膜をマスクに前記成膜された誘電体膜上の前記シリコン膜をエッチングする工程と、
前記レジスト膜を除去するとともに前記エッチングのあと残存のシリコン膜をマスクに前記成膜された誘電体膜をエッチング除去する工程と、
前記エッチング除去のあと残存の誘電体膜を熱処理する工程と、
前記エッチング除去のあと残存の誘電体膜を有する前記穴内に電極材を埋め込み形成する工程と
を具備することを特徴とする集積キャパシタの製造方法。

【請求項 3】

前記形成された穴の内面に誘電体膜を成膜する前記工程が、前記誘電体膜として Al_2O_3 膜と Al_2O_3 膜以外の誘電体膜の積層膜を成膜することを特徴とする請求項 1 または 2 記載の集積キャパシタの製造方法。

【請求項 4】

前記形成された穴の内面に誘電体膜を成膜する前記工程が、前記誘電体膜として Al_2O_3 膜を用いこれを ALD 法により成膜することを特徴とする請求項 1 または 2 記載の集積キャパシタの製造方法

【請求項 5】

前記誘電体膜を熱処理する前記工程が、 800°C 以上の温度でなされるクレーム 4 記載の集積キャパシタの製造方法。

【請求項 6】

半導体基板と、
前記半導体基板に形成された穴の上部を除いた前記穴の内面上に形成された結晶化された誘電体膜と、
前記穴内に埋め込み形成された電極材と
を具備することを特徴とする集積キャパシタ。

【請求項 7】

前記結晶化された誘電体膜が、材質として Al_2O_3 を有することを特徴とする請求項 6 記載の集積キャパシタ。

【書類名】明細書**【発明の名称】集積キャパシタの製造方法、集積キャパシタ****【技術分野】****【0001】**

本発明は、半導体装置内に集積すべき集積キャパシタの製造方法およびそのような集積キャパシタに係り、特に、高誘電率のキャパシタ絶縁膜を有する集積キャパシタの製造方法および集積キャパシタに関する。

【背景技術】**【0002】**

集積回路であるDRAMなどの半導体メモリでは、集積素子としてトランジスタのほかに電荷を蓄積するキャパシタ（静電容量素子）が必要である。メモリ容量が256Mbから512Mb、さらにギガビットクラスのものへと高容量化されるに伴い、必然的に素子集積度の向上が求められる。集積度向上のため、集積キャパシタにはすでに、半導体基板に穴を設けてその穴内面上にキャパシタ絶縁膜を形成しさらにその穴内に電極材を埋め込み形成した構造のもの（トレンチキャパシタ）が用いられている。このような構造のキャパシタには、例えば特開2003-282734号公報（特許文献1）記載のものがある。これによれば、平面的に見たときより小さな面積で高静電容量のキャパシタを形成できる。

【0003】

トレンチキャパシタをさらに高集積対応にするには、平面的にみたときの面積を小さくしてしかもキャパシタとしての静電容量を確保する方策が必要である。このひとつとしてキャパシタ絶縁膜として高誘電率膜を使用することが考えられる。このとき考慮すべき点は、その高誘電率膜をいかに所望の領域に高品質に形成するかである。高誘電率膜は、低誘電率膜（酸化シリコンなど）と性質が異なるので、従来とは異なる加工（エッチング）方法が必要と考えられる。なお、高誘電率膜となる材料のエッチングに関しては、例えば特開2003-234325号公報（特許文献2）記載のものがある。

【特許文献1】 特開2003-282734号公報**【特許文献2】** 特開2003-234325号公報**【発明の開示】****【発明が解決しようとする課題】****【0004】**

キャパシタ絶縁膜として高誘電率膜を使用する場合に注意する点には、さらに、リーク電流の低減という事項がある。リーク電流が大きいとキャパシタとしての基本的な特性を確保できないからである。ここで、リーク電流の低減には、高誘電率材料を熱処理して結晶化することが有用であることがわかっている。しかしながら、結晶化された高誘電率膜は加工性という意味で非常にエッチングされにくい。したがって、高誘電率膜を用いたトレンチ構造の集積キャパシタは製造が困難である。

【0005】

本発明は、上記の事情を考慮してなされたもので、半導体装置内に集積すべき集積キャパシタの製造方法およびそのような集積キャパシタにおいて、高誘電率の高品質キャパシタ絶縁膜を有する集積キャパシタの製造方法および集積キャパシタを提供することを目的とする。

【課題を解決するための手段】**【0006】**

本発明の一態様に係る集積キャパシタの製造方法は、半導体基板に穴を形成する工程と、前記形成された穴の内面に誘電体膜を成膜する工程と、前記成膜された誘電体膜を熱処理する工程と、前記誘電体膜上にシリコン膜を成膜する工程と、前記誘電体膜と前記シリコン膜とが成膜された前記穴内面の上部を除いた前記穴内にレジスト膜を埋め込み形成する工程と、前記埋め込み形成されたレジスト膜をマスクに前記熱処理された誘電体膜上の前記シリコン膜をエッチングする工程と、前記レジスト膜を除去する工程と、前記エッチ

ングのあと残存のシリコン膜をマスクに前記熱処理された誘電体膜をエッチング除去する工程と、前記エッチング除去のあと残存の誘電体膜を有する前記穴内に電極材を埋め込み形成する工程とを具備する。

【0007】

また、本発明の別の態様に係る集積キャパシタの製造方法は、半導体基板に穴を形成する工程と、前記形成された穴の内面に誘電体膜を成膜する工程と、前記成膜された誘電体膜上にシリコン膜を成膜する工程と、前記誘電体膜と前記シリコン膜とが成膜された前記穴内面の上部を除いた前記穴内にレジスト膜を埋め込み形成する工程と、前記埋め込み形成されたレジスト膜をマスクに前記成膜された誘電体膜上の前記シリコン膜をエッチングする工程と、前記レジスト膜を除去するとともに前記エッチングのあと残存のシリコン膜をマスクに前記成膜された誘電体膜をエッチング除去する工程と、前記エッチング除去のあと残存の誘電体膜を熱処理する工程と、前記エッチング除去のあと残存の誘電体膜を有する前記穴内に電極材を埋め込み形成する工程とを具備する。

【0008】

また、本発明の一態様に係る集積キャパシタは、半導体基板と、前記半導体基板に形成された穴の上部を除いた前記穴の内面上に形成された結晶化された誘電体膜と、前記穴内に埋め込み形成された電極材とを具備する。

【発明の効果】

【0009】

本発明によれば、高誘電率の高品質キャパシタ絶縁膜を有する集積キャパシタの製造方法および集積キャパシタが提供される。

【発明を実施するための最良の形態】

【0010】

本発明の一態様に係る集積キャパシタの製造方法によれば、誘電体膜には熱処理がされる。熱処理により結晶化させてキャパシタ絶縁膜としてリーク電流が低減される高品質な膜を形成する。また、製造途上において、熱処理された誘電体膜、シリコン膜、レジスト膜の積層構造が形成され、これらの膜それぞれに対してエッチング（または除去）を行う。すなわち、これらの材料それぞれが選択性をもってエッチング（除去）される。よって、高品質な誘電体膜を所望の領域に高品質に形成することができる。

【0011】

ここで、実施態様として、前記誘電体膜上にシリコン膜を成膜する前記工程は、前記シリコン膜として多結晶シリコン膜またはアモルファスシリコン膜を成膜する。シリコン膜の成膜は、多結晶シリコン膜、アモルファスシリコン膜のいずれでもよい。

【0012】

また、実施態様として、前記誘電体膜と前記シリコン膜とが成膜された前記穴内面の上部を除いた前記穴内にレジスト膜を埋め込み形成する前記工程は、前記レジスト膜としてノボラック樹脂を用い、前記レジスト膜を除去する前記工程は、硫酸と過酸化水素の混合溶液を用いて前記レジスト膜を除去する。ノボラック樹脂はレジスト膜としてもっとも一般的な材料のひとつであり、また、マスクとして使用された後のレジスト膜の除去に硫酸と過酸化水素の混合溶液を用いれば、この処理が効率的かつ容易に済む。なお、この薬液によりシリコン膜および熱処理済みの誘電体膜は有意にはエッチングされない。

【0013】

また、実施態様として、前記形成された穴の内面に誘電体膜を成膜する前記工程は、前記誘電体膜として Al_2O_3 膜を用いこれをALD法により成膜する。高誘電率膜として Al_2O_3 膜（アルミナ膜）は代表的なものである。また、これをALD（atomic layer deposition）法で成膜すると、より小さな穴の内面に精度よくかつより薄い厚さの Al_2O_3 膜を成膜することができる。よって、高集積化に対応する場合に向いている。

【0014】

ここで、前記成膜された誘電体膜を熱処理する前記工程は、 800°C 以上の温度でなされると好ましい。高誘電率膜である Al_2O_3 膜は、このような熱処理により、硫酸と過

酸化水素の混合溶液に対する溶解性をほぼゼロとすることができる。

【0015】

また、実施態様として、前記形成された穴の内面に誘電体膜を成膜する前記工程は、前記誘電体膜として Al_2O_3 膜と Al_2O_3 膜以外の誘電体膜の積層膜を成膜するとしてもよい。これにより、さらに高静電容量のキャパシタを形成できる。例えば、 Al_2O_3 膜以外の前記誘電体膜は、 HfO_2 膜（ハフニア膜）とすることができる。

【0016】

また、実施態様としての集積キャパシタの製造方法は、前記エッチングのあと残存の前記シリコン膜を、前記穴内に埋め込み形成する前記電極材の一部として残すようにしてもよい。電極材の一部として残す場合は、一度除去する必要がないので工程を簡素化して効率化を図ることができる。

【0017】

本発明の別の態様に係る集積キャパシタの製造方法によれば、誘電体に熱処理がされるがその前の工程で誘電体膜、シリコン膜、レジスト膜の積層構造が形成され、シリコン膜のエッチングと、誘電体膜およびレジスト膜のエッチング（または除去）とを行う。すなわち、シリコン膜と、誘電体膜およびレジスト膜とで選択性をもってエッチング（除去）される。よって、高品質な誘電体膜を所望の領域に高品質に形成することができる。

【0018】

ここで、実施態様として、前記成膜された誘電体膜上にシリコン膜を成膜する前記工程は、前記シリコン膜として多結晶シリコン膜またはアモルファスシリコン膜を成膜する。シリコン膜の成膜は、多結晶シリコン膜、アモルファスシリコン膜のいずれでもよい。

【0019】

また、実施態様として、前記誘電体膜と前記シリコン膜とが成膜された前記穴内面の上部を除いた前記穴内にレジスト膜を埋め込み形成する前記工程は、前記レジスト膜としてノボラック樹脂を用い、前記レジスト膜を除去するとともに前記エッチングのあと残存のシリコン膜をマスクに前記成膜された誘電体膜をエッチング除去する前記工程は、硫酸と過酸化水素の混合溶液を用いて、前記レジスト膜を除去し、かつ前記エッチングのあと残存のシリコン膜をマスクに前記成膜された誘電体膜をエッチング除去する。ノボラック樹脂はレジスト膜としてもっとも一般的な材料のひとつであり、また、マスクとして使用された後のレジスト膜の除去に硫酸と過酸化水素の混合溶液を用いれば、熱処理前の不要な誘電体膜のエッチングも同時に済み効率的である。

【0020】

また、実施態様として、前記形成された穴の内面に誘電体膜を成膜する前記工程は、前記誘電体膜として Al_2O_3 膜を用いこれをALD法により成膜する。上記の一態様と同じである。

【0021】

ここで、前記エッチング除去のあと残存の誘電体膜を熱処理する前記工程は、 800°C 以上の温度でなされると好ましい。高誘電率膜である Al_2O_3 膜は、このような熱処理により、硫酸と過酸化水素の混合溶液に対する溶解性がほぼゼロになる。換言すると結晶化が十分に進行しリーク電流の抑制された高品質の誘電体膜が形成され则认为られる。

【0022】

また、実施態様として、前記形成された穴の内面に誘電体膜を成膜する前記工程は、前記誘電体膜として Al_2O_3 膜と Al_2O_3 膜以外の誘電体膜の積層膜を成膜するとしてもよい。例えば、 Al_2O_3 膜以外の前記誘電体膜は、 HfO_2 膜とすることができる。上記の一態様と同じである。

【0023】

また、実施態様としての集積キャパシタの製造方法は、前記エッチングのあと残存の前記シリコン膜を、前記穴内に埋め込み形成する前記電極材の一部として残すようにしてもよい。上記の一態様と同じである。

【0024】

また、本発明の一態様に係る集積キャパシタによれば、誘電体膜が結晶化されているので高誘電率の高品質キャパシタ絶縁膜を有する集積キャパシタが提供され得る。ここで、前記結晶化された誘電体膜は、材質として Al_2O_3 を有するとすることができる。高誘電率膜として Al_2O_3 膜は代表的なものである。また、前記結晶化された誘電体膜は、材質として Al_2O_3 と Al_2O_3 以外の誘電体とを有するとすることもできる。さらに高静電容量のキャパシタを形成できる。例えば、 Al_2O_3 以外の前記誘電体は、 HfO_2 とすることができる。

【0025】

以上を踏まえ、以下では本発明の実施形態を図面を参照しながら説明する。図1ないし図4は、本発明の一実施形態に係る集積キャパシタの製造方法を模式的な縦断面（一部上面）で示すプロセス図である。以下、順を追って説明する。

【0026】

まず、図1（a1）、（a2）に示すように、シリコンの半導体基板11にキャパシタ形成用の穴12を例えばR I E（reactive ion etching）法で形成する。図1（a1）は縦断面、図1（a2）は上面を示す。そのサイズは、例えば直径が $0.2\mu\text{m}$ 、深さが $10\mu\text{m}$ 程度である。なお、この穴12形成のあと、穴12の上部を除くその内面に面する半導体基板11の一部領域（図でドットパターンで示した領域）に例えばヒ素（As）を拡散させてn型領域を形成する。このn型領域がキャパシタとしての一方の電極になる。n型領域の形成についてはあとで再度言及する。

【0027】

次に、図1（b）に示すように、キャパシタ絶縁膜となる高誘電率膜たる Al_2O_3 膜13を穴12の内面を含む全面に成膜する。その成膜方法としてALD法を用いるとごく薄く膜厚の制御された Al_2O_3 膜13を形成することができる。ALD法とは、周知のように原料ガスを用いて膜を原子層レベルで一層ずつ成長させていく方法である。複数回の成長で得る厚さは、キャパシタとして必要な静電容量（例えば数十fF）によるが、例えば5nmから10nm程度である。なお図1（b）以降は上面図として自明なのでその図示を省略する。

【0028】

次に、図1（b）に示すような Al_2O_3 膜13が成膜された状態で、半導体基板11ごと熱処理（アニール）を行い Al_2O_3 膜13を結晶化させてリーク電流の発生しがたい高品質の Al_2O_3 膜13aに改質する。熱処理は例えば800℃で30分程度とする。熱処理として好ましい温度についてはあとで再度言及する。

【0029】

次に、図1（c）に示すように、シリコン膜14を、 Al_2O_3 膜13a上全面に例えばCVD（chemical vapor deposition）法を用いて成膜する。シリコン膜14は、多結晶シリコン膜でもアモルファスシリコン膜でもよい。シリコン膜14は、少なくとも、後述する工程で、 Al_2O_3 膜13aに対するエッチングマスクとして機能する。場合によっては、マスクとしての機能後、キャパシタとしての他方の電極材の一部に用いてもよい。これらの点は後述する。シリコン膜14の厚さは、例えば50nm程度に形成する。

【0030】

全面に形成されたシリコン膜14を Al_2O_3 膜13aに対するエッチングマスクとするパターニングのため、次に、図2（a）に示すように、シリコン膜14上の穴内部を埋め込みかつ全面に例えばノボラック樹脂のレジスト膜15を塗布・形成する。この形成されたレジスト膜15を加工することでシリコン膜14パターニングのためのマスクにする。

【0031】

レジスト膜15の加工は、図2（b）に示すように、シリコン膜14上の穴内のごく上部より上全面を除去するように行う。これにより、レジスト膜15は、シリコン膜14上の穴内部のごく上部を除く部位に埋め込まれた形状のレジスト膜15aになる。なお、レジスト膜15に対するこのような加工は例えばCDE（chemical dry etching）法を用い

て行うことができる。また、レジスト膜15aの上面の半導体基板11上面からの落ち込みは例えば1 μ m程度にする。

【0032】

次に、図2(c)に示すように、加工されたレジスト膜15aをマスクにシリコン膜14をパターニングしてシリコン膜14aを残存させる。このようなシリコン膜14に対するパターニング(エッチング)には例えばCDE法を用いることができる。シリコン膜14aを残存させたあと、次に、図3(a)に示すように、レジスト膜15aを除去する。レジスト膜15aの除去には、薬液として例えば硫酸(濃硫酸)と過酸化水素の混合液を用いて、時間として例えば15分のウェットエッチングを適用することができる。このウェットエッチングでは、 Al_2O_3 膜13aは熱処理済みで結晶化されたものなのでほとんど溶解しない。

【0033】

次に、図3(b)に示すように、残存させたシリコン膜14aをマスクに Al_2O_3 膜13aをエッチング除去し、 Al_2O_3 膜13aを残存させる。熱処理済みの Al_2O_3 膜13aは上記のように大概の薬液によっては溶解しないエッチングしにくい膜であるが、熱を加えたリン酸をエッチングの薬液に用いて除去することができる。

【0034】

次に、図3(c)に示すように、穴内を埋め込みかつ全面に電極材としてのシリコン膜16を形成する。シリコン膜16は、例えばAsをドーピングしてn型にし、導電性を与えるように形成する。ここで、あらかじめ図3(b)に示す状態から、マスクとして機能したシリコン膜14aを例えばCDE法で除去しておいてもよい。あらかじめ除去する場合はその工程が増加するが、シリコン膜14成膜の段階(図1(c))ではこれにAsをドーピングしておくなどの必要はなくなる。なお、電極材の一部としてシリコン膜14aを残存させて使用する場合には、その前までの処理により Al_2O_3 膜13aからAlが拡散してシリコン膜14aにp型半導体が形成されることが考えられる。その悪影響が無視できない場合には、マスクとして機能した後のシリコン膜14aを除去したほうが無難である。

【0035】

シリコン膜16を形成したら、次に、図4に示すように、半導体基板11上に堆積・形成されたシリコン膜16を研削して除去し、穴内にのみ電極材としてのシリコン膜16aを残存させる。これにより集積キャパシタとしての構造ができあがる。この構造は、図4に示すように、半導体基板11側に形成されたn型半導体領域と電極材としてのシリコン膜16aとの間にキャパシタ絶縁膜(誘電体膜)としての Al_2O_3 膜13aaがごく薄く存在する構造である。

【0036】

ここで、半導体基板11側にn型半導体領域をあらかじめ形成する工程(図1(a1))について補足しておく。これには例えば次のようにする。図1(a1)に示すように半導体基板11に集積キャパシタ用の穴12を形成した後、穴内面を含む全面に例えばAsの膜を成膜する。そして、レジスト膜をほぼ図2(b)に示すような形状で穴内に形成し、そのレジスト膜をマスクにAs膜をエッチング除去する。As膜のエッチングの後、レジスト膜を除去し、穴の内面に残存したAs膜を半導体基板11ごと加熱して半導体基板11中にAs原子を拡散させる。これにより、半導体基板11の特定領域にあらかじめn型領域を形成しておくことができる。

【0037】

以上のように、図1ないし図4に示した実施形態は、キャパシタ絶縁膜となる熱処理された Al_2O_3 膜13aaの所定の位置への選択的な形成が、マスクとしてのシリコン膜14aと、またそのシリコン膜14aをパターニングするためのマスクであるレジスト膜15aとの物理的・化学的性質の違いから可能となっているものである。特に、熱処理された Al_2O_3 膜13aが通常では非常にエッチングされにくいことを逆に利用(図2(c)から図3(a))している点が特徴的である。

【0038】

図5は、図1(b)において説明した Al_2O_3 膜13の熱処理の結果によって、これが硫酸（濃硫酸）と過酸化水素の混合液（＝ノボラック樹脂のレジスト膜15aを除去するための薬液）でどの程度エッチングされるかを測定したデータ例を示す図である。図5の Al_2O_3 に示すように、ほぼ処理温度800℃を境にエッチングレートの傾向は大きく異なることがわかる。すなわち800℃での熱処理後の Al_2O_3 膜のエッチングレートは毎分0.08nmであり、この程度では、ノボラック樹脂のレジスト膜15aを除去するのに15分の処理時間を要するとしても Al_2O_3 膜13aは1.2nm程度のエッチングがされるだけで主要の部分はほとんど残存することがわかる。逆に言うと800℃以上の熱処理により Al_2O_3 膜は十分な結晶化がされリーク電流の発生しがたい高品質な膜になったものと考えられる。

【0039】

図5には、 Al_2O_3 膜13にほかに、 HfO_2 膜についても同様な測定を行った例が示されている。その結果から、 HfO_2 膜についても熱処理を800℃以上で行った場合に、硫酸（濃硫酸）と過酸化水素の混合液に対してエッチングされにくい性質となることがわかる。したがって、上記説明した実施形態で、 Al_2O_3 膜13を形成すること（図1(b)）に代えて、他の高誘電率膜である HfO_2 膜を形成しても同様な目的の集積キャパシタをほぼ製造することができる。

【0040】

または、図1(b)に示すような単層の Al_2O_3 膜13の形成に代えて、 Al_2O_3 膜、 HfO_2 膜のような2層、あるいは Al_2O_3 膜、 HfO_2 膜、 Al_2O_3 膜のような3層の積層膜を形成するのも有用である。複数層とする場合、 HfO_2 膜はさらに別の誘電体膜とすることも考えられる。いずれの場合もごく薄い複数の誘電体膜を形成するのにALD法は有用である。

【0041】

なお、上記の実施形態では、 Al_2O_3 膜13の熱処理を図1(b)に示す段階で行っているが、図1(c)に示す段階で行うようにすることも考えられる。

【0042】

次に、上記説明した実施形態とは異なる実施形態について図6ないし図9を参照して説明する。図6ないし図9は、本発明の別の実施形態に係る集積キャパシタの製造方法を模式的な縦断面（一部上面）で示すプロセス図である。これらの図において、すでに説明した部位と同一相当の部位には同一符号を付してある。この実施形態は、高誘電率膜である Al_2O_3 膜13の熱処理を、その所定の位置への選択的な形成がされたあとで行うようにした点が上記の実施形態と異なる。以下、順を追って説明する。

【0043】

図6(a1)、(a2)、および図6(b)についてはそれぞれ図1(a1)、(a2)、および図1(b)と同様である。ただし、図6(b)に示す段階では、 Al_2O_3 膜13を結晶化するための熱処理は行わない。次に、図6(c)に示すようにシリコン膜14を形成するが、これもほぼ図1(c)での説明と同じである。そして、図7(a)に示すようにレジスト膜15を形成し、さらに図7(b)に示すようにこのレジスト樹脂15を加工してレジスト膜15aのような形状にする。これらの図7(a)、図7(b)もそれぞれ図2(a)、図2(b)での説明と同様である。

【0044】

次に、図7(c)に示すように、加工されたレジスト膜15aをマスクにシリコン膜14をパターンニングしてシリコン膜14aを残存させる。これも図2(c)での説明と同じである。次に、図8(a)に示すように、レジスト膜15aを除去するとともにシリコン膜14aをマスクに Al_2O_3 膜13にウェットエッチングを適用し Al_2O_3 膜13bを残存させる。これらのレジスト膜15aおよび Al_2O_3 膜13のエッチングには、薬液として例えば硫酸（濃硫酸）と過酸化水素の混合液を用いて、時間として例えば15分のウェットエッチングを適用することができる。このウェットエッチングでは、 Al_2O_3

膜 13 が熱処理されたものでないので結晶化されてなく溶解する。このような同時のエッチングで処理が効率化する。

【0045】

次に、図 8 (b) に示すように、半導体基板 11 ごと熱処理 (アニール) を行い Al_2O_3 膜 13b を結晶化させてリーク電流の発生しがたい高品質の Al_2O_3 膜 13bb に改質する。熱処理は例えば 800℃ で 30 分程度とする。この温度については図 5 での説明と同様である。

【0046】

次に、図 8 (c) に示すように、穴内を埋め込みかつ全面に電極材としてのシリコン膜 16 を形成する。これは、図 3 (c) での説明と同様である。また、ここでマスクとして機能したシリコン膜 14a をそのまま残しておくかまたは除去するかについても図 3 (c) での説明と同様である。なおこれに関連して、図 8 (b) の段階における Al_2O_3 膜 13b の熱処理は、シリコン膜 14a の除去のあと行うようにすることも有力である。これによれば、p 型半導体の形成された電極材となることを明確に回避することができる。

【0047】

シリコン膜 16 を形成したら、次に、図 9 に示すように、半導体基板 11 上に堆積・形成されたシリコン膜 16 を研削して除去し、穴内にのみ電極材としてのシリコン膜 16a を残存させる。これによりこの実施形態に係る集積キャパシタとしての構造ができあがる。

【0048】

以上説明のように、図 6 ないし図 9 に示した実施形態は、キャパシタ絶縁膜となる熱処理された Al_2O_3 膜 13bb の所定の位置への選択的な形成が、熱処理前の Al_2O_3 膜 13b として、マスクであるシリコン膜 14a と物理的・化学的性質に違いがあることで可能となっているものである。特に、熱処理前の Al_2O_3 膜 13 がレジスト膜 15a と同時にエッチングされ効率化される点が特徴的である。

【0049】

この実施形態においても、単層の Al_2O_3 膜 13 の形成に代えて、 Al_2O_3 膜、 HfO_2 膜のような 2 層、あるいは Al_2O_3 膜、 HfO_2 膜、 Al_2O_3 膜のような 3 層の積層膜を形成するのも有用である。

【図面の簡単な説明】

【0050】

【図 1】 本発明の一実施形態に係る集積キャパシタの製造方法を模式的な縦断面 (一部上面) で示すプロセス図。

【図 2】 図 1 の続図であって、本発明の一実施形態に係る集積キャパシタの製造方法を模式的な縦断面 (一部上面) で示すプロセス図。

【図 3】 図 2 の続図であって、本発明の一実施形態に係る集積キャパシタの製造方法を模式的な縦断面 (一部上面) で示すプロセス図。

【図 4】 図 3 の続図であって、本発明の一実施形態に係る集積キャパシタの製造方法を模式的な縦断面 (一部上面) で示すプロセス図。

【図 5】 図 1 (b) において説明した Al_2O_3 膜 13 の熱処理の結果によって、これが硫酸 (濃硫酸) と過酸化水素の混合液 (= ノボラック樹脂のレジスト膜 15a を除去するための薬液) でどの程度エッチングされるかを測定したデータ例を示す図。

【図 6】 本発明の別の実施形態に係る集積キャパシタの製造方法を模式的な縦断面 (一部上面) で示すプロセス図。

【図 7】 図 6 の続図であって、本発明の別の実施形態に係る集積キャパシタの製造方法を模式的な縦断面 (一部上面) で示すプロセス図。

【図 8】 図 7 の続図であって、本発明の別の実施形態に係る集積キャパシタの製造方法を模式的な縦断面 (一部上面) で示すプロセス図。

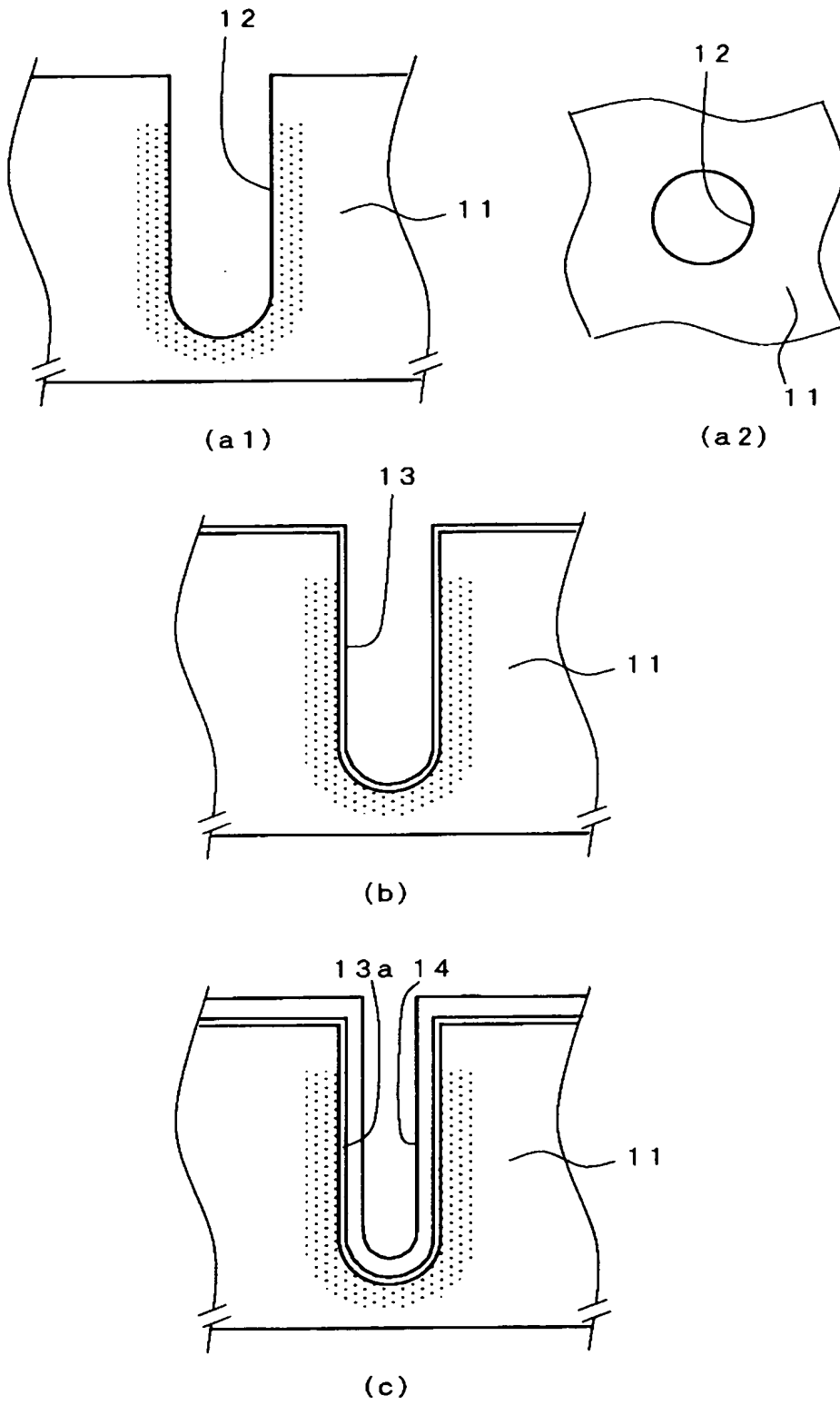
【図 9】 図 8 の続図であって、本発明の別の実施形態に係る集積キャパシタの製造方法を模式的な縦断面 (一部上面) で示すプロセス図。

【符号の説明】

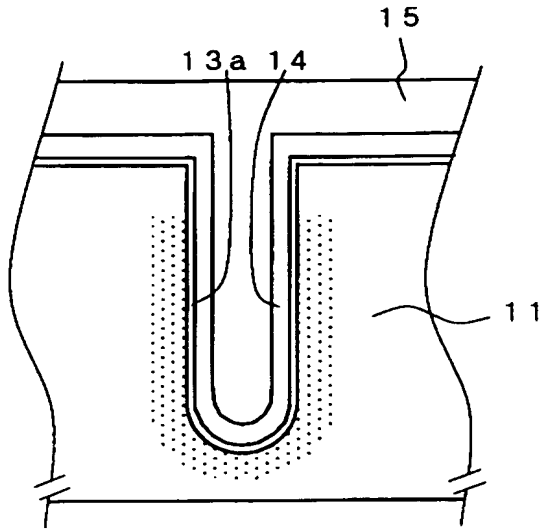
【0 0 5 1】

1 1…半導体基板、1 2…キャパシタ用の穴、1 3… Al_2O_3 膜、1 3 a…熱処理された Al_2O_3 膜、1 3 a a…熱処理され所望の領域に形成された Al_2O_3 膜、1 3 b…所望の領域に形成された Al_2O_3 膜、1 3 b b…熱処理され所望の領域に形成された Al_2O_3 膜、1 4、1 4 a…シリコン膜、1 5、1 5 a…レジスト膜、1 6、1 6 a…シリコン膜（電極材）。

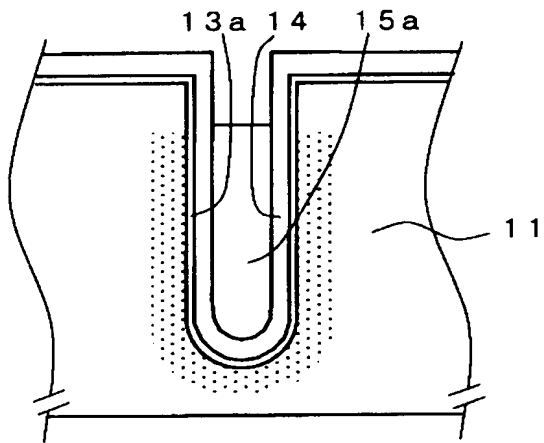
【書類名】 図面
【図 1】



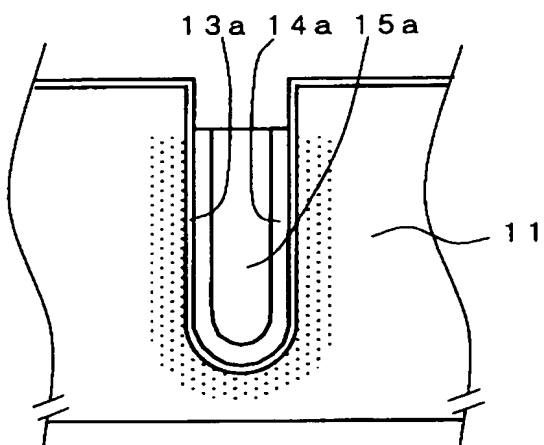
【図 2】



(a)

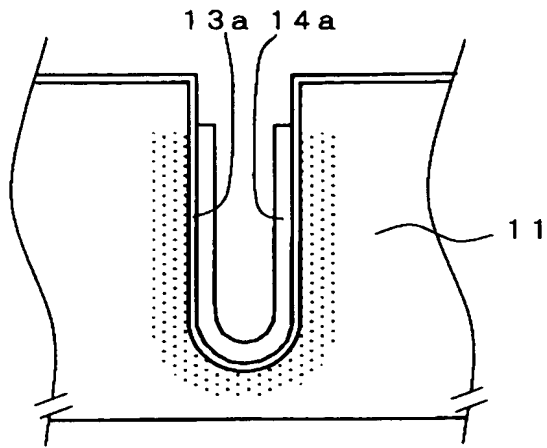


(b)

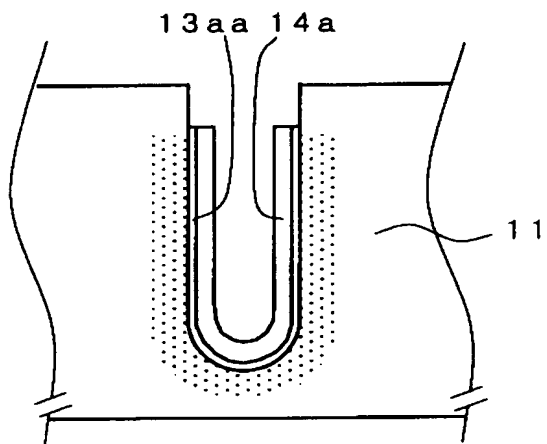


(c)

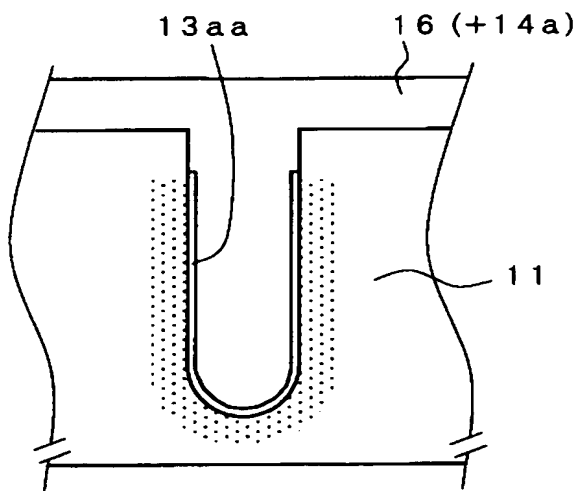
【図 3】



(a)

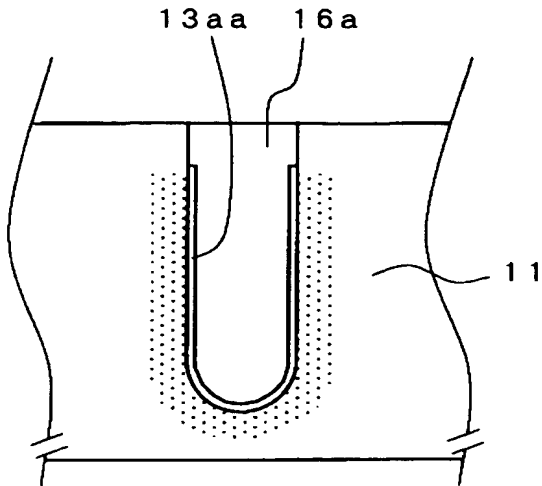


(b)

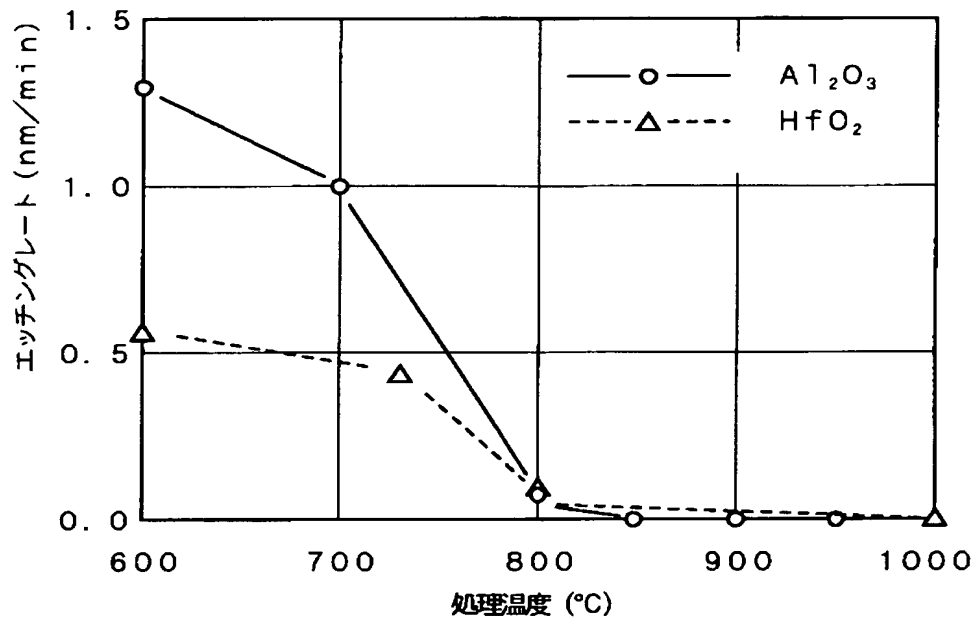


(c)

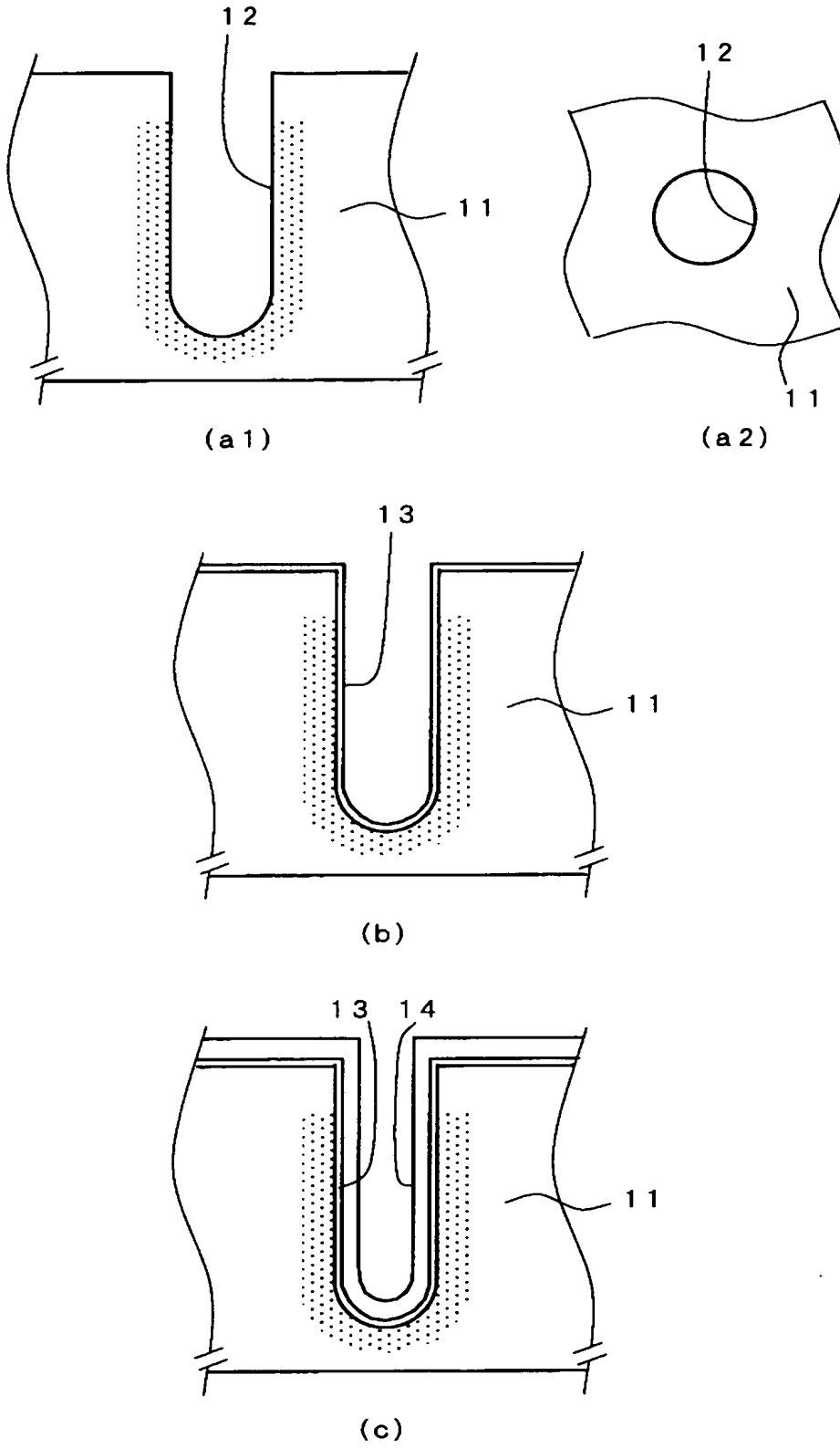
【図 4】



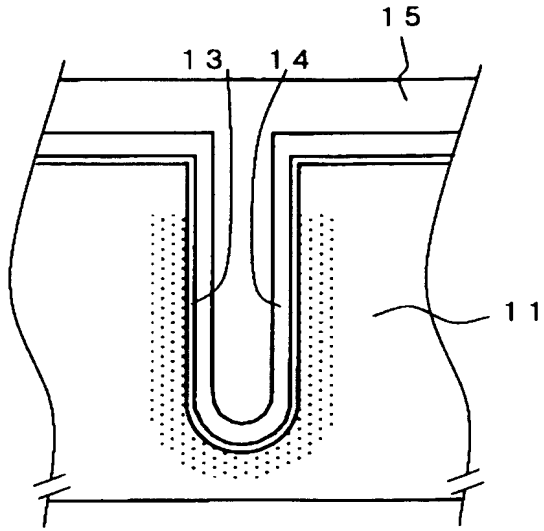
【図 5】



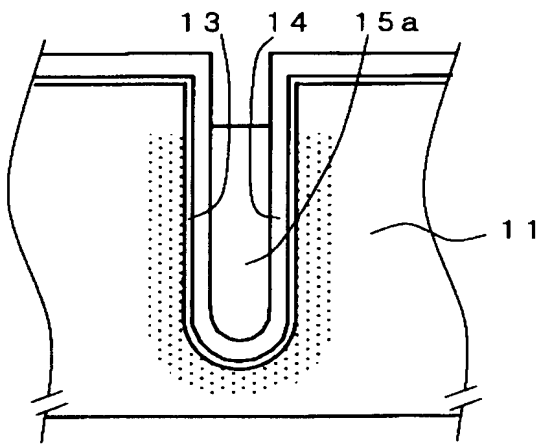
【図 6】



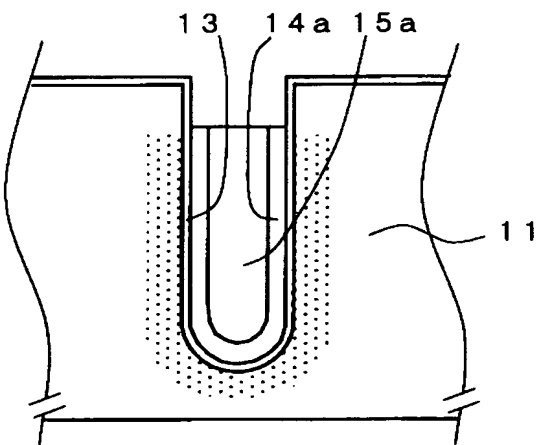
【図 7】



(a)

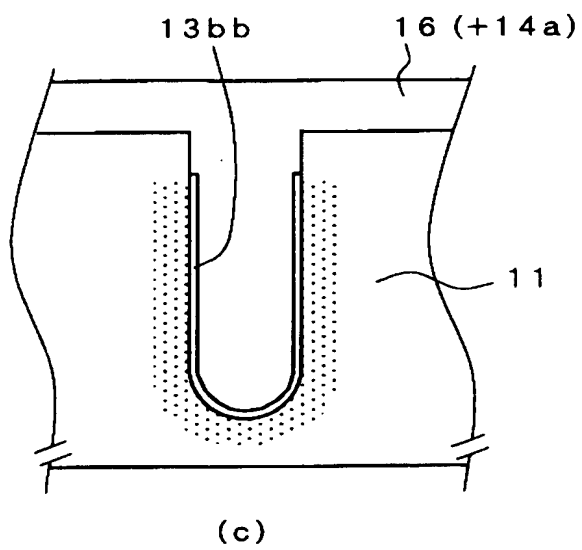
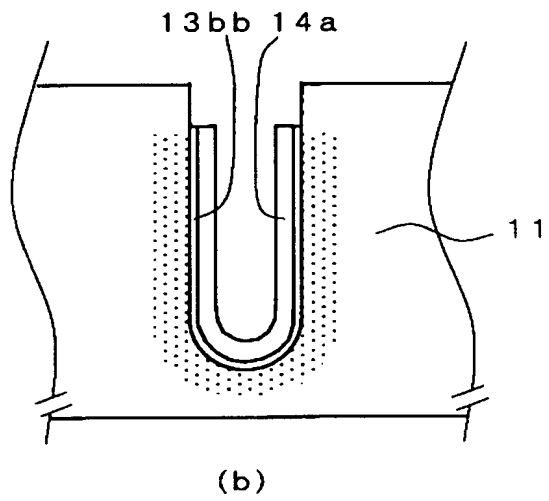
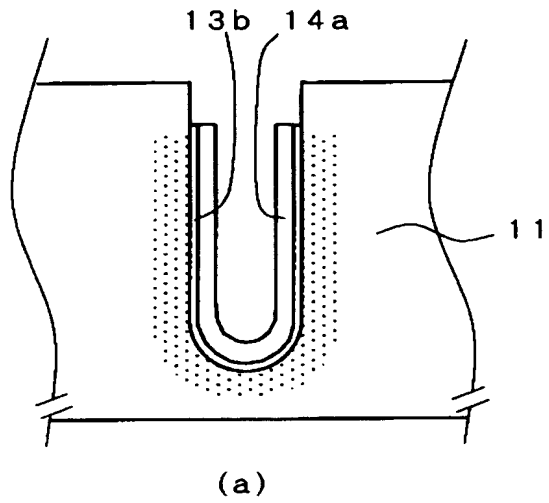


(b)

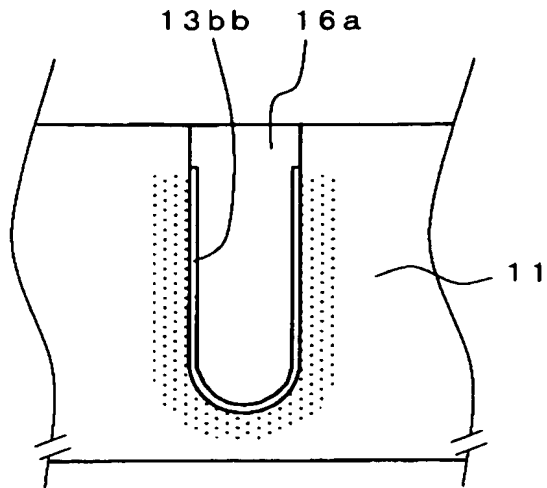


(c)

【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 高誘電率の高品質キャパシタ絶縁膜を有する集積キャパシタの製造方法および集積キャパシタを提供すること。

【解決手段】 半導体基板に穴を形成し、形成された穴の内面に誘電体膜を成膜し、成膜された誘電体膜を熱処理し、誘電体膜上にシリコン膜を成膜し、誘電体膜とシリコン膜とが成膜された穴内面の上部を除いた穴内にレジスト膜を埋め込み形成し、埋め込み形成されたレジスト膜をマスクに熱処理された誘電体膜上のシリコン膜をエッチングし、レジスト膜を除去し、エッチングのあと残存のシリコン膜をマスクに熱処理された誘電体膜をエッチング除去し、エッチング除去のあと残存の誘電体膜を有する穴内に電極材を埋め込み形成する。

【選択図】 図 4

特願 2 0 0 4 - 0 0 0 6 5 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝